

⑨ 日本国特許庁(JP)

⑩ 特許出願公表

⑪ 公表特許公報(A)

平4-506587

⑫ 公表 平成4年(1992)11月12日

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

審査請求有

予備審査請求有

部門(区分) 7(2)

H 01 L 21/20  
21/302

J

9171-4M  
7353-4M

(全 8 頁)

⑭ 発明の名称 薄い絶縁体上シリコン層の製造方法

⑮ 特 願 平2-513813

⑯ 出 願 平2(1990)9月28日

⑰ 翻訳文提出日 平4(1992)3月30日

⑱ 国際出願 PCT/US90/05432

⑲ 国際公開番号 WO91/05366

⑳ 国際公開日 平3(1991)4月18日

優先権主張 ⑳ 1989年9月29日㉑ 米国(US)㉒ 414,225

㉓ 発 明 者 ゴッドベイ, デビット ジェー アメリカ合衆国, ワシントン, デイ. シー. 20375-5000, ネイ  
バル リサーチ ラボラトリー, コード 6816

㉔ 出 願 人 ア メ リ カ 合 衆 国 アメリカ合衆国, ワシントン, デイ. シー. 20375-5000, ネイ  
バル リサーチ ラボラトリー,

㉕ 代 理 人 介理士 専 経 夫 外1名

㉖ 指 定 国 AT(広域特許), BE(広域特許), CA, CH(広域特許), DE(広域特許), DK(広域特許), ES(広域特  
許), FR(広域特許), GB(広域特許), IT(広域特許), JP, KR, LU(広域特許), NL(広域特許), SE  
(広域特許)

最終頁に続く

要 求 の 範 囲

1. 以下の段階:

1つまたはそれ以上のケイ素基板を選択し;

該1つまたはそれ以上のケイ素基板の少なくとも1  
つの上にケイ素とその他のIV族元素との合金からなる  
ニッチストップ層を形成し;

該ニッチストップ層の上にケイ素キャップ層を形成  
し;

該ケイ素キャップ層を機械的基板に結合し;そして

前記1つまたはそれ以上のケイ素基板の少なくとも  
1つおよび前記ニッチストップ層を、前記ケイ素キャ  
ップ層の下層部分を除去することなく除去し、それに  
より前記ケイ素キャップ層の下層部分を前記機械的基  
板上に残し、半導体層を形成する  
からなる、半導体構造物が引続き形成され得る半導体  
層を形成する方法。

2. 前記ニッチストップ層がケイ素-スズ合金からなる  
請求項1記載の方法。

3. 前記ニッチストップ層がケイ素-鉛合金からなる請  
求項1記載の方法。

4. 前記ニッチストップ層がケイ素-ゲルマニウム合金  
からなる請求項1記載の方法。

5. 前記ケイ素-ゲルマニウム合金が次式:  $Si_{1-x}Ge_x$   
( $x=0, 1-0.5$ ) の組成を有する請求項1記載  
の方法。

6. 前記ニッチストップ層を形成する段階がケイ素とも  
う1つ以上のIV族元素との合金の層を付着させることか  
らなる請求項1記載の方法。

7. 前記合金がケイ素-ゲルマニウム合金からなる請求  
項1記載の方法。

8. 前記合金がケイ素-スズ合金からなる請求項1記載  
の方法。

9. 前記合金がケイ素-鉛合金からなる請求項1記載の  
方法。

10. ケイ素キャップ層を機械的基板に結合する前記段階  
が以下のその他の段階:

前記ケイ素キャップ層の露出面に二酸化ケイ素の層  
を形成し;

前記機械的基板の露出面に二酸化ケイ素の層を形成  
し;

上記二酸化ケイ素の両層を接触させ;そして  
上記二酸化ケイ素の両層間に結合を形成するために  
それらの両層を加熱する  
からなる請求項1記載の方法。

11. ケイ素キャップ層を機械的基板に結合する前記段階  
が以下の段階:

前記ケイ素キャップ層の露出面に二酸化ケイ素の層  
を形成し;

二酸化ケイ素の前記層と前記機械的基板を接触させ;  
そして

## 特表平4-506587 (2)

二酸化ケイ素の前記層と前記機械的基板との間に結合を形成するためにそれらを加熱する  
からなる請求項1記載の方法。

12. ケイ素キャップ層を機械的基板に結合する前記段階が以下の段階:

前記機械的基板の露出面に二酸化ケイ素の層を形成し;

二酸化ケイ素の前記層と前記ケイ素キャップ層を接触させ;

二酸化ケイ素の前記層と前記ケイ素キャップ層との間に結合を形成するためにそれらを加熱する

からなる請求項1記載の方法。

13. 1つまたはそれ以上のケイ素基板の少なくとも1つおよびニッチストップ層を除去する前記段階が以下の段階:

前記1つまたはそれ以上のケイ素基板の少なくとも1つの一部を機械的に除去し;

前記1つまたはそれ以上のケイ素基板の少なくとも1つの残部および前記エッチストップ層の一部を選択的エッチング剤で選択的エッチングを行い;そして

前記ニッチストップ層の残部を、該エッチストップ層を選択的に除去する第2のエッチング剤でエッチングを行う

からなる請求項1記載の方法。

14. 前記1つまたはそれ以上の基板が少なくとも第1お

よび第2基板であり、前記1基板が前記1つまたはそれ以上のケイ素基板の少なくとも1つであり、前記ニッチストップ層が第1エッチストップ層であり、前記ケイ素キャップ層が第1ケイ素キャップ層であり、そして以下の段階:

前記第2基板の上にケイ素-ゲルマニウム合金からなる追加のエッチストップ層を形成し;

該追加のエッチストップ層の上に追加のケイ素キャップ層を形成し;

前記機械的基板の、前記第1ケイ素基板側とは反対の面に前記第2ケイ素基板を結合し;そして

前記第1および第2ケイ素基板ならびに前記第1および第2の互んだエッチストップ層を、前記第1および第2ケイ素キャップ層の下層部分を除去することなく除去し、それにより前記第1および第2ケイ素キャップ層の下層部分を前記機械的基板の両表面上に残し、半導体薄層を形成する

そさらに含む請求項1記載の方法。

15. 前記エッチストップ層を形成する段階が、前記ケイ素層中に埋設されたケイ素-IV族元素合金層を形成するために、ケイ素以外のIV族元素イオンを前記ケイ素層中に埋め込むことからなる請求項1記載の方法。

16. 前記埋設層がケイ素-スズ合金から構成されるように、前記イオンがスズイオンからなる請求項15記載の方法。

## 明細書

### 薄い絶縁体上シリコン層の製造方法

#### 発明の背景

本発明は、絶縁体上シリコン層を製造する方法、及び特にシリコン-ゲルマニウム合金を含む新規なエッチストップ(etch stop)を使用したそのような構造の製造に関する。

#### 背景の説明

超高密度集積回路(VLSI)の現段階において、トランジスタ及び半導体構造の寸法は1マイクロメートル以下に小さくなり、多くの新しい問題に取り組まなければならない。一般に、より大きな分層がデバイス内で必要とされる。CMOSを適用するため、この分層はラッチアップ(latch-up)を防止しなければならない。同時に、この増加された分層は、可能なチップ空間を犠牲にして提供されるべきではない。

絶縁体上シリコン(SOI)技術は、この問題に取り組んだうちの特に見込みがある方法であることが明らかである。絶縁体上シリコン基板は、高速度、耐ラッチアップ性であり、放射透過能が大きいデバイスの製造に使用される。注入された酸素原子による分層(SIMO X)は、現在のところ、シリコンをサファイアに置き換えるために最も十分に研究されたSOIシステムである。

17. 前記埋設層がケイ素-鉛合金から構成されるように、前記イオンが鉛イオンからなる請求項15記載の方法。

18. 前記埋設層がケイ素-ゲルマニウム合金から構成されるように、前記イオンがゲルマニウムイオンからなる請求項15記載の方法。

19. 前記エッチストップ層が第1エッチストップ層であり、そして該エッチストップ層を形成する段階が以下の段階:

前記第1エッチストップ層の上にスペーサー層を形成し;

該スペーサー層の上にケイ素-ゲルマニウム合金からなる第2エッチストップ層を形成し;そして

該第2エッチストップ層の上にケイ素キャップ層を形成する

からなり、そして

前記除去段階が、前記ケイ素キャップ層の下層部分を除去することなく、前記ケイ素基板ならびに前記第1および第2エッチストップ層を除去する、請求項1記載の方法。

20. 前記埋設層がケイ素-ゲルマニウム合金から構成されるように、前記イオンがゲルマニウムイオンからなる請求項19記載の方法。

# 特表平4-506587 (3)

この技術の一般的実施例は、B.J.Lineback, "SOIチップへの埋設酸化物の埋込経路(Buried Oxide Marks Route to SOI Chips)", Electronics Week, Oct. 1, 1984, pp.11-12による論文に示されている。

この論文に示されているように、酸素イオンは基板シリコン中に埋設酸化物層を形成するため、基板シリコン中に注入される。その後、注入物は2時間アニール化され、そのため、埋設酸化物上に被たわるシリコン部分は単結晶シリコンとなる。その後、種々の半導体デバイスは単結晶層上に形成される。下張りされた埋設酸化物は、隣接するデバイス及び基板部分の間に分離を提供する。

SIMOXが見込みのある技術であるにもかかわらず、活性デバイス領域中の注入により発生した逆転転位は、材料の性能を制限する。さらに、粗悪な品質の埋設酸化物は真箇のチャネル漏電をもたらす。

SIMOXの代わりとして、絶縁体上シリコンの結合およびエッチバック(Bond and etch back silicon-on-insulator(BESOI))は、埋設酸化物における欠陥および電荷トラッピング状態の少ない、よりきれいな酸化物/シリコンインターフェースの利点を有する。

この材料はシードおよび/またはハンドルウエーハを酸化することにより発生し、2個のウエーハを結合することが引続き行われる。活性デバイス領域は、望ましいフィルム厚さに折り重ね、及びエッチングによりシードウエーハ上に発生する。この技術は600nmのSOI

の製造に相当であるにもかかわらず、エッチストップの存在は500nmまたはそれ以下の呼び厚みを持つSOIウエーハを達成するために必須である。

シリコン中へ拡散または注入により配位された大量のドーパされた酸素領域は、有効なエッチストップを作ると報告されており、そしてこれらの材料から製造されたCMOSデバイスが報告されている。シリコン膜技術はこれらの材料を製造するため同様の技術を使用する。酸素の利用における固有の限定は、酸素がシリコン中でp型ドーパントであるということである。酸素の注入及び拡散の両方はシリコンフィルムの残余のpドーピングを生じる。また、イオン注入およびアニール化による酸素導入は、デバイス領域中、逆転転位の発生を結果として生じる。これは、これらの材料から製造されたデバイスの性能を制限する。

## 発明の要約

従って、本発明の目的は改善された絶縁体上シリコン(SOI)の製造方法である。

本発明のその他の目的は、最終シリコン層が実質的に均一で欠陥が無い絶縁体上シリコン方法を提供することである。

さらに本発明のその他の目的は、改善された絶縁体上シリコンの製造方法を提供することであり、該方法に於いては最終シリコン層のエッチングは最終シリコン層中の残余のドーパントおよび欠陥を残すことなく、より正

確に調製することができる。

本発明の他の目的は、500nmまたはそれ以下の呼び厚みを有するSOIウエーハを生じることである。

これら、及び本発明の他の目的は、欠陥の無いデバイス領域を持つ薄い絶縁体上シリコン構造を形成する方法で実現される。ストレイドエッチストップ層はシリコン基板上に形成され、該エッチストップ層はシリコン-ゲルマニウム合金からなる。ケイ素キャップ層がストレイドエッチストップ層上に形成された後、ケイ素キャップ層は機械的基板に結合される。最終的に、シリコンキャップ層の基礎となる部分を除去することなく、シリコン基板およびストレイドエッチストップ層は除去され、該ケイ素キャップ層の下部分は高い半導体層を形成するため機械的基板上に残る。

古い方法に対する本発明の利点は、分子線エピタキシーまたは化学気相のような技術を使用し、それによって欠陥の流入を最小限にして、エッチストップがウエーハ中で成膜することである。

エッチストップ層を生じる代替方法がゲルマニウムのイオン注入によるにもかかわらず、注入段階は必要ではない。さらに、ゲルマニウムがシリコン中で電気的に活性なドーパントでないので、残存p<sup>+</sup>またはn<sup>+</sup>ドーピングが引き続く工程の後に残らない。

本発明の他の目的、特徴及び利点は以下に記載され、請求項に列挙された好ましい実施例の図面から当業者に

明らかであろう。

## 図面の簡単な説明

添付の図面に關して考慮するとき以下の詳細を参照することにより、より良く理解されるのと同時に本発明のより完全な評価、及びその付随する利点の多くは容易に得られるだろう。

図1はシードウエーハ(seed wafer)の説明図である。

図2はハンドルウエーハ(handle wafer)の説明図である。

図3は一層に結合されたシード及びハンドルウエーハの説明図である。

図4は、ラップ仕上げ及び磨きの後の図3の構造の説明図である。

図5は、シリコン-ゲルマニウム合金層に選択的にエッチングした後の図4の構造の説明図である。

図6は好ましい具体例のSOI構造の説明図である。

図7は本発明の第二の具体例の説明図である。

図8は本発明の第二の具体例の結果として得られたSOI構造の説明図である。

図9及び10は本発明の第三の具体例のシード及びハンドルウエーハの説明図である。

図11は、一層に結合した後の第三の具体例のシード及びハンドルウエーハの説明図である。

図12は、第三の具体例の結果として得られたSOI構造の説明図である。

# 特表平4-506587 (4)

## 好ましい具体例の説明

発明の背景で述べた諸問題への解決は、“絶体上シリコンの結合及びエッチバック (BESOI) 技術”を使用する薄いフィルムシリコンの超立品中のエッチストップとして、成長性  $\text{Si}_{1-x}\text{Ge}_x$  合金ストレインド層 (an as-grown  $\text{Si}_{1-x}\text{Ge}_x$  alloy strained layer) を使用することである。

このプロセスにおいて、シリコン基板上にストレインド層ケイ素-マグネシウム合金が、続いて厚さ可変のケイ素キャップが成長する。このキャップはデバイスが組立てられ、続いて結合され、厚くされ、そしてエッチバックされる領域であるので、キャップは欠陥を持たず不純でないことが重要である。

次に図面について特に図1について説明すると、組み込まれた (incorporated) エッチストップを有するシリコンシードウェーハは次のように製造される。先ず、p又はnドープ化シリコンウェーハ20が標準的なクリーニング操作を用いて清掃される。清掃されたウェーハ20は、次いでエピタキシャルシリコン又はゲルマニウムを成長させ得る系に入れられる。両分子ビームエピタキシー (MBE) 及び化学蒸着 (CVD) は、電極的に可変のエピタキシャル成長手段である。簡単に脱ガスし、ウェーハを成長チャンバに入れ、続いて700~1100℃、より好ましくは750~950℃、そして最も好ましくは800~900℃に加熱することにより、そのシ

リコン酸化物をその場で除去される。酸化物除去はシリコンフラックス中の加熱、又は希ガスイオンの電撃 (ガンバード) によっても可能である。

シリコン緩衝層22は次いでウェーハ20上で成長する。本発明にとって必要ではないけれども、緩衝層22はピッチング又はホールの無い平滑シリコン表面を得ることを助ける。この緩衝層22は約650℃の温度で、100Å~1µm厚の厚さに成長する。緩衝層22にとつて好ましい厚さは300~500Åである。エッチストップ層24は次いで緩衝層22上で成長する。エッチストップ層24は分子ビームエピタキシー又は化学蒸着のような技術によりシードウェーハ中に成長させることができる。これらの成長技術は良く開発されており、シャープなシリコン/合金インターフェースを発生させる。エッチストップ層24は  $\text{Si}_{1-x}\text{Ge}_x$  合金 ( $x=0.1\sim0.5$ ) であつてよい。より好ましくは  $x=0.2\sim0.4$  である。好ましい具体例においてエッチストップ層24は  $\text{Si}_{0.8}\text{Ge}_{0.2}$  合金であり、緩衝層22上に400~900℃でより好ましくは500~800℃で成長させられる。エッチストップ層24の厚さは100~5000Åの間である。より好ましい厚さは200~700Åである。エッチストップ層24はケイ素と鉛及び鉛のような他の第IV族元素からなる合金で構成されていてもよい。

ケイ素キャップ層26は次いで厚さ200Å~1µm厚さのシリコンゲルマニウム合金上で成長する。ケイ素

キャップ層は、より好ましくは500~800℃で成長する。このエピタキシャルキャップ層26のドーピングタイプ及びドーピング濃度は、組立てられるデバイスにより決定される。この発明でケイ素キャップ層26は10Åの小ささまで成長させ得る。しかしながら、最近の技術で、 $\frac{1}{4}\sim\frac{1}{2}\mu\text{m}$  が実際の限度である。注意に於いて図1のシードウェーハは室温まで冷却され、成長系から除去される。

図2に示されているハンドルウェーハは、シリコンウェーハ20の表面を熱酸化して  $\text{SiO}_2$  の SOI 絶縁層32を生じさせることにより作られる。ウェーハ30上のA(100) フェースは  $\text{SiO}_2$  に良好なインターフェースを、そして良好なアニソトロピックエッチ性質を提供する。シードウェーハのエピタキシャル層26もまた酸化されてその上に絶縁層を生じる。シードウェーハ及びハンドルウェーハは次いで図3に示すように互いに表面を重ねられ、そのため絶縁層28及び32が接触して絶縁層29を生じる。一方、図1のシードウェーハ又は図2のハンドルウェーハのどちらかのみが酸化されても図3の絶縁層29が生じる。酸化物層28及び32の厚さは、ハンドルウェーハとケイ素キャップ層26間の分層を造成するのに必要とされる厚さに依存して変わり得る。これはSOI物質から組立てられる最終デバイスに依存するであろう。

表面のシード及びハンドルウェーハのいずれかは無形

# 特表平4-506587 (5)

である。シードウェーハ及び基板ウェーハは次いで、塩酸又は硝酸のどちらかの酸化雰囲気中約700度でより高い温度で、接触しているウェーハをアニール化することにより結合される。スチーム中700～1000度での結合は強い結合を生じるであろう。代わりの結合技術はケニー(Kenny)への米国特許第3,332,137号及びアンティパス(Antypas)への米国特許第3,959,045号に記載されている。

結合対(bonded pair)のSi領域20は今となっては不必要である。その最初の用途はエピタキシャル層28の形成及び維持のためであった。余分なSi領域20は種々な方法の一つにより除去される。例えばそれは順番により機械的に及び/又は化学研磨に続くフッ化水素-硝酸-酢酸(HNA)溶液中でのエッチングにより除去される。HNAの使用は、書籍「セミコンダクター シリコン(Semiconductor Silicon) 1973: [エレクトロケミカル ソサイエティ(Electrochemical Society),プリンセトン(Princeton),ニュージャージー(NJ)],ハフ(Huff)及びバージェス(Burgess)編」に書してある「コントロールド プリファレンシャル エッチング テクノロジー(Controlled Preferential Etching Technology)」という装置中、第326頁にムラオカ(Muraoka et al.)により討論されている。このように大部分の余分なSi領域20は、ケイ素-ゲルマニウム合金エッチストップ層24上に約1～2μmのケイ素を被して除去

され、図4に示されているようにキャップ層26及びバルク領域30は絶縁層28により分離される。絶縁層22が使用されない場合、エッチング及び研磨後に1～2μmのSi層20が残るであろう。研磨後、図4のウェーハは研磨され、そしてストレイン感受性エッチング浴中に置かれる。図4に示されているように絶縁層22を含む残留シリコン(1～2μm)は、ストレイン感受性又は選択エッチング液、例えば水酸化カリウム 100g、K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub> 4g及び水400ml中のプロパノール100mlからなるものを用いて、温度制御コートリエッチングシステム中25度でエッチングすることにより除去される。

例えば非ドープ化シリコン層20と絶縁層22は17～20nm/分の速度でエッチングすることを示していた。成長率Si<sub>0.7</sub>Ge<sub>0.3</sub>合金は、17:1よりも良い選択性で1nm/分の速度でエッチングすることを示していた。従って、エッチングがストレイン合金層24の表面に到達した時、かなりのエッチング速度を示す。それは60nmストレイン合金層24でエッチストップ領域24の突破のために約1時間を要する。従って、その時間区隔中、ウェーハはそれがキャップ層26にまでエッチングされる前に選択的エッチングから外されなければならない。

次に図5の構造は、ケイ素-ゲルマニウム合金層24を攻撃し選択的に除去する第ニエッチングを被る。例え

ば第ニエッチングは、比率1:1:4のアンモニア、過酸化水素及び水からなっている。

その後、図8のSOI構造が種々な半導体構造を形成すべく更に加工されるために残る。

示されたエッチング速度及びこのエッチストップ/エッチング系の洗滌性は、2μmシリコンの除去と20nmの均一厚さを要する層化プロセスのために効果的である。本発明で用いられる種々のエッチングについてもっと詳述するために、その他の結合方法及びその他の機械的基板の代わりに、アバーナゼイ(Abernathy et al.)に発行された米国特許第4,601,779号(1986年7月22日)が参考文献として本明細書に組み入れられる。

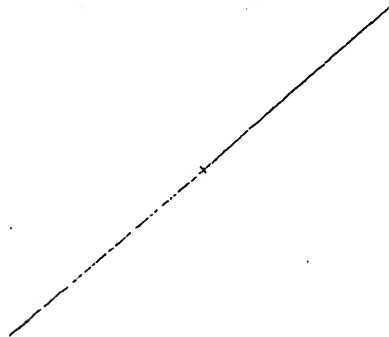


図7に示した第2の実施形態では、SOI・ウェーハは、増加した密度を持つ3次元集積回路を製造するために種々重ねることができる。第1のシードウェーハは、その上に、絶縁層42、シリコン-ゲルマニウム・エッチストップ層44、次いでシリコンキャップ層46を成長させたSi領域40を包含する。第2のシードウェーハはその上に絶縁層52、シリコン-ゲルマニウム・エッチストップ層54、次いでシリコンキャップ層56を成長させたSi領域50を包含する。基板ウェーハは、シリコンウェーハ60を包含しそれは酸化されてその両側の表面上にSiO<sub>2</sub>の絶縁領域61と63を形成する。第1のシードウェーハは基板ウェーハの絶縁領域61に結合しておりそして第2のシードウェーハは基板ウェーハの絶縁領域63に結合している。その構造物を製造するのに使用される工程は、好ましい実施形態で用いられたものと同じものである。異なるのは、第2のシードウェーハの形成とその次の、基板ウェーハの第2の酸化された領域への結合のみである。上述の結合工程が終了した後、図7の構造は、次に、好ましい実施形態の図1-6に關して上述のようにエッチングされて層40、42、44、50、52、54が除去されそしてさらに加工するための図8の構造を残す。

図9に示してあるように、第3の実施形態では、シリコン基板70中へゲルマニウムイオンを埋め込むことにより、シリコン-ゲルマニウム・エッチストップ層7

2が形成される。埋没したイオンは、シリコン-スズまたはシリコン-鉛合金を形成するためにスズまたは鉛であってもよい。ゲルマニウムイオンの使用量は、第1の実施形態で記載したような割合の合金が得られるのに十分な量であるべきであり、そしてゲルマニウムイオン-エネルギーは、所望のエピ層の厚みを得るのに必要な適当な長さ厚みのために選択されるべきである。図10ないし12で示した加工工程は、図1-6中で示しそして説明したような第1の実施形態のそれらと同様である。従って、これらの加工工程の説明をここでは繰り返さない。

図13に説明してある第4の実施形態では、2個の分離しているエッチストップ層の組み合わせをシリコン基板中に成長せしめることができるだろう。例えば、ホウ素はシリコン基板90中に埋没でき第1のエッチストップ層92を形成し、次にゲルマニウムイオンの埋没により限定されたシリコン-ゲルマニウム合金の第2のエッチストップ層94を形成できるだろう。ホウ素イオンは、シリコン-ゲルマニウムエッチストップ層94の下側に第1のエッチストップ層92を形成するのに十分なエネルギーで埋没されるであろう。ホウ素とゲルマニウムイオンは酸化層96の形成の前後に埋没してよい。別の方法としては、分離しているエッチストップ層92と94は、二つのエッチストップ層を分離している間層93と共に、MBEまたはCVDにより配向成長的

(epitaxially)に成長させてもよい。

別の方法としては、一つのエッチストップ層は配向成長的(epitaxially)に成長させそして他のエッチストップ層を埋没してもよく、またはその逆にしてもよい。

二つのエッチストップ層の使用は、そのホウ素エッチストップ層92により、換言すればシリコン層90とエッチストップ層92のエッチング速度の比率により、驚く程の高い選択性をもたらす。また、間層93とシリコン-ゲルマニウムエッチストップ層94を使用することにより、いかなるホウ素のテール(tail)も最少になるであろう。図13の構造を加工した後、シリコン層90とエッチストップ層92は、アバーナセイ(Abernathy)の米国特許第4,601,778号中に示してあるように除去されるであろう。層93と94は、本発明の第1の実施形態中に示しそして記述してあるようにして除去されるであろう。

ここまで述べたのは、シリコン-ゲルマニウム合金を、ボンダーアンド-エッチバック-シリコン-オン-インシュレイター(bond-and-etchback silicon-on-insulator)技術におけるエッチストップとして使用することによる層層-シリコン-オン-インシュレイター-ウエーハ(silicon-on-insulator wafers)の作製方法である。

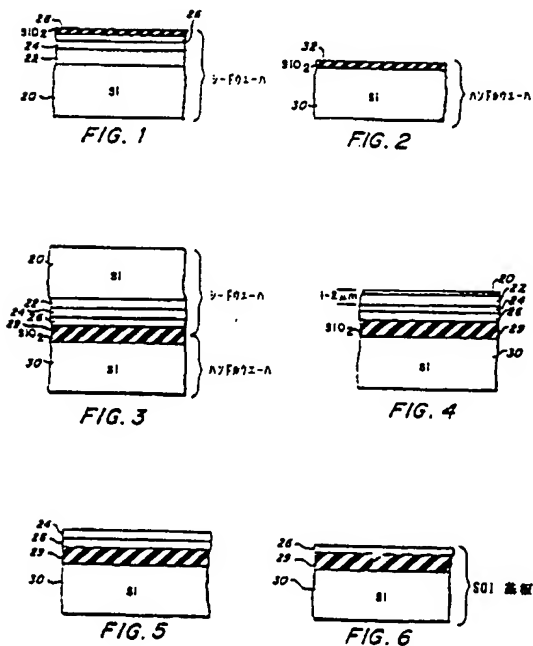
好ましい実施形態で記述したこの工程により、シリコンフィルムは、エッチストップSi<sub>1-x</sub>Ge<sub>x</sub>を利する

ることにより所望する程度に高く成長させることができる。エッチストップは、その材料中に成長し、それによって、エッチストップの埋没が不要なので、欠点のないデバイス領域の成長が可能になる。

ゲルマニウムはシリコン中では電気的に活性なドーパント(dopant)ではないので、デバイスの性能はイオン化したドーパントからのキャリア-分散中心の存在により制限されるものではない。従って、相補デバイスは補償なしに組み立てられる。その上、バックチャンネル(back channel)は、宇宙および防衛技術の現存技術により簡単な方法で放射硬化できる。

この技術の別の用途は、X線マスクとして使用するためのシリコン膜の作製も包含する。

本発明の多数の変更と変形は、上記の教示を考慮に入れば可能である。従って、付属の請求の範囲内で、本発明はここに特定の記述がなくとも実施できるものとして理解できる。



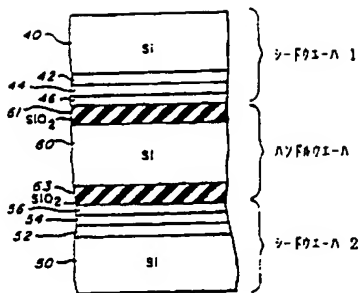


FIG. 7

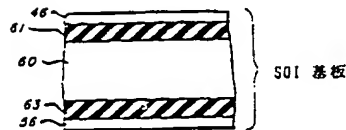


FIG. 8

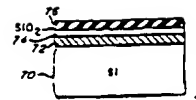


FIG. 9

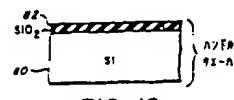


FIG. 10

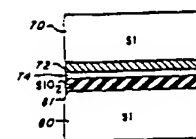


FIG. 11

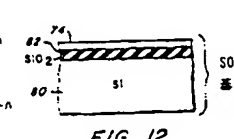


FIG. 12

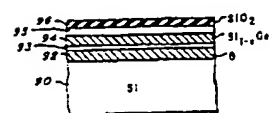


FIG. 13

國 庫 券 發 售

International Agreement to PCT/US90/0432

[illegible]

Form DOT/HS-471 (2-8) (Rev. 10-69)

Page 1 of 1 PCT/US90/05432

[illegible]

第1頁の続き

⑦発明者 ヒューズ, ハロルド エル.

アメリカ合衆国, ワシントン, デイ. シー. 20375-5000, ネイ  
バル リサーチ ラボラトリー, コード 6816

⑧発明者 クブ, フランシス ジェー

アメリカ合衆国, ワシントン, デイ. シー. 20375-5000, ネイ  
バル リサーチ ラボラトリー, コード 6813



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**